



PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07-176620

(43)Date of publication of application: 14.07.1995

(51)Int.Cl. H01L 21/8228
H01L 27/082
H01L 27/12
H01L 21/331
H01L 29/73

(21)Application number: 05-291558 (71) NEC CORP
Applicant:

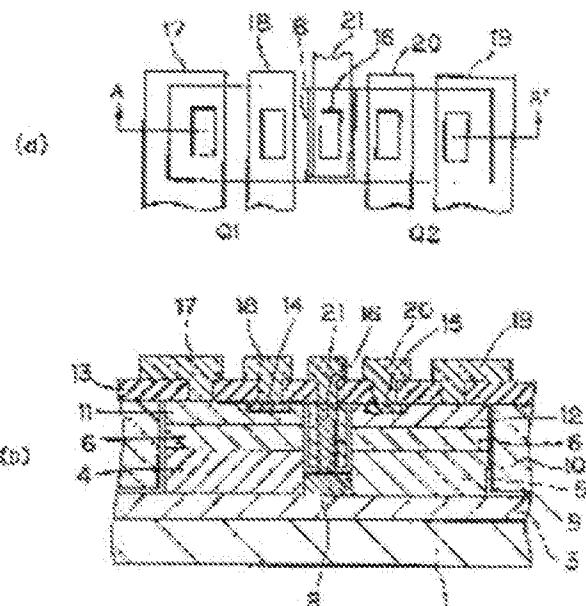
(22)Date of filing: 28.10.1993 (72)Inventor: MORIKAWA TAKENORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To realize high speed operation of circuit by patterning the elements finely while decreasing the collector resistance thereby decreasing the stray capacity.

CONSTITUTION: Two insular regions buried in an insulating film comprising a silicon nitride film 9 and a BPSG film 10 are provided on silicon oxide 3 deposited on a silicon substrate 1. A transistor comprising a P+ type collector region 4, an epitaxial region 6, an n+ base region 11, and a p+ emitter region 14, and a transistor comprising an n+ collector region 5, an epitaxial region 6, a P+ base region 12, and an n+ emitter region 15 are formed in each insular region. A collector connection electrode, i.e., a tungsten film 8, is then formed between both transistors and connected with a collector electrode 21 through a tungsten plug 16.



(19) 日本国特許庁 (JP)

(20) 公開特許公報 (A)

(21) 特許出願公開番号

特開平7-176620

(22) 公開日 平成7年(1995)7月14日

(31) Int.Cl.
H01L 21/6228
27/082
27/12

識別記号

序内整理番号

F.I

技術表示箇所

Z
7514-4M H01L 27/08 101 C
29/72

審査請求 有 請求項の数6 FD (全6頁) 最終頁に絞く

(21) 出願番号 特願平5-231556

(22) 出願日 平成5年(1993)10月28日

(70) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森川 武則

東京都港区芝五丁目7番1号 日本電気株式会社内

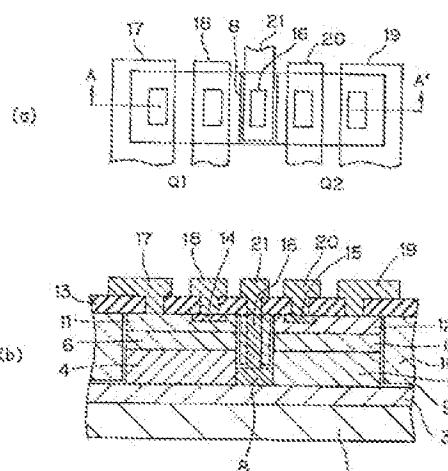
(74) 代理人 弁理士 尾身 純助

(54) 【発明の名稱】 半導体装置

(57) 【要約】

【目的】 素子の微細化。コレクタ抵抗を低減化し、浮遊容量を削減して回路動作の高速化を図る。

【構成】 シリコン基板1上のシリコン酸化膜3上に、シリコン酸化膜9およびBPSG膜10からなる絶縁層中に埋設された2つの島領域と、各島領域内に、それぞれ p^+ 型コレクタ領域4、 n^+ 型エピタキシャル領域5、 n^+ 型ベース領域11、 p^+ 型エミッタ領域14からなるトランジスタQ1と、 n^+ 型コレクタ領域6、 p^+ 型ベース領域12、 n^+ 型エミッタ領域15からなるトランジスタQ2を形成する。両トランジスタ間にコレクタ接続端極となるタングステン膜8を形成し、タングステンプラグ16を介してコレクタ電極21に接続する。



- | | |
|----------------------|--------------------|
| 1 - シリコン基板 | 12 - p^+ 型ベース領域 |
| 3 - シリコン酸化膜 | 13 - アスク酸化膜 |
| 4 - p^+ 型コレクタ領域 | 14 - p^+ 型エミッタ領域 |
| 5 - n^+ 型コレクタ領域 | 15 - n^+ 型エミッタ領域 |
| 6 - n^+ 型エピタキシャル領域 | 16 - タングステンプラグ |
| 8 - タングステン膜 | 17, 18 - ベース電極 |
| 9 - シリコン酸化膜 | 19, 20 - エミッタ電極 |
| 10 - BPSG膜 | 21 - コレクタ電極 |
| 11 - n^+ 型ベース領域 | |

【特許請求の範囲】

【請求項1】 絶縁性基板上または半導体基板の表面に設けられた第1の絶縁膜上に、複数の、下層に高不純物濃度半導体層を有する半導体島領域が第2の絶縁膜に埋設して設けられ、各半導体島領域にはそれぞれ前記高不純物濃度半導体層をコレクタ領域とするバイポーラトランジスタが形成されている半導体装置において、前記絶縁性基板上または前記第1の絶縁膜上には、複数の前記高不純物濃度半導体層を相互に接続する導電体が形成されていることを特徴とする半導体装置。

【請求項2】 絶縁性基板上または半導体基板の表面に設けられた第1の絶縁膜上に、下層に p^+ 型半導体層を有する半導体島領域と下層に n^+ 型半導体層を有する半導体島領域とが第2の絶縁膜に埋設して設けられ、各半導体島領域には前記 p^+ 型半導体層と n^+ 型半導体層とをそれぞれコレクタ領域とする $p\text{-}n\text{-}p$ バイポーラトランジスタと $n\text{-}p\text{-}n$ バイポーラトランジスタとが形成されている半導体装置において、前記絶縁性基板上または前記第1の絶縁膜上には、前記 p^+ 型半導体層と前記 n^+ 型半導体層とを接続する導電体が形成されていることを特徴とする半導体装置。

【請求項3】 前記導電体が高融点金属または高融点金属性化合物により形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記導電体が前記二つの半導体島領域に挟まれた領域に形成されていることを特徴とする請求項1または3記載の半導体装置。

【請求項5】 前記導電体が前記半導体島領域のいずれか一方または双方の周囲を囲んでいることを特徴とする請求項1または2記載の半導体装置。

【請求項6】 前記導電体が高融点金属プラグにより前記第2の絶縁膜の表面に引き抜かれていることを特徴とする請求項1または2記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に關し、特に、絶縁基板上または絶縁膜上に例えば相補型バイポーラトランジスタ（C-E-I-pT-r）等の形で複数のバイポーラトランジスタが形成されている半導体装置に關するものである。

【0002】

【従来の技術】相補型バイポーラトランジスタ回路は図2（a）、図2（b）に示す回路に用いられており、デジタル的用途のみならずアナログ回路においても用いられるものである。図2において、Q1は、 $p\text{-}n\text{-}p$ バイポーラトランジスタ、Q2は $n\text{-}p\text{-}n$ バイポーラトランジスタ、Q3はpチャネルMOSFET、Q4はnチャネルMOSFET、Rは抵抗。 I_n は入力端子、O_{ut}は出力端子である。

【0003】そして、高速動作が要求される相補型バイ

ポーラトランジスタ回路にあっては、浮遊容量の少ないSOI（Silicon on Insulator）構成の半導体装置が用いられる。図6（a）は、図2の点線枠内の部分の従来の半導体装置内での構成を示す平面図であり、図6（b）はそのC-E-C'線の断面図である。図6に示すように、トランジスタQ1、Q2は、シリコン基板1上に形成されたシリコン酸化膜3の上に設けられた半導体島領域内に形成されている。これら半導体島領域はシリコン酸化膜9およびBPSG（Boro-Phospho-Silicate Glass）膜10からなる絶縁膜内に埋設されている。

【0004】トランジスタQ1は、 p^+ 型コレクタ領域4、エピタキシャル領域6、 n^+ 型ベース領域11、 p^+ 型エミッタ領域14を有しており、 n^+ 型ベース領域11と p^+ 型エミッタ領域14は、マスク酸化膜13に開孔されたコントラクトホールを介してベース電極17、エミッタ電極18により引き出されている。同様に、トランジスタQ2は、 n^+ 型コレクタ領域5、エピタキシャル領域6、 p^+ 型ベース領域12、 n^+ 型エミッタ領域15を有しており、 p^+ 型ベース領域12と n^+ 型エミッタ領域15は、マスク酸化膜13に開孔されたコントラクトホールを介してベース電極19、エミッタ電極20により引き出されている。そして、両トランジスタの p^+ 型コレクタ領域4と n^+ 型コレクタ領域5はコレクタ引き上げ領域4a、5aによって基板表面に引き上げられた後、コレクタ電極20により引き出されている。

【0005】

【発明が解決しようとする課題】上述した従来の半導体装置の構造では、 p^+ 型コレクタ領域4および n^+ 型コレクタ領域5を基板表面まで引き上げる必要があり、さらに基板表面においてそれぞれのコレクタ領域とのコントラクトをとる必要があるため、電子面積の縮小には制限があり、半導体集積回路の高密度化が困難な構成となっていた。また、従来例では、コントラクト面積を縮小した場合、コレクタ抵抗が増大し、出力のレベル遷移が大きくなつて回路動作に支障が生じやすくなるため、信頼性の低下を招くことになる。よって、この発明の目的とするところは、コレクタ領域を基板表面にまで引き上げる必要がなく、したがつて基板表面においてコレクタ領域にコントラクトホールを開孔する必要のない素子構造を提案し、もつて高速動作が可能かつ高密度化が可能なバイポーラ型半導体集積回路装置を提供しうるようにしておるものである。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、絶縁性基板上または半導体基板（1）の表面に設けられた第1の絶縁膜（3）上に、複数の、下層に高不純物濃度半導体層（4；5）を有する半導体島領域が第2の絶縁膜（9、10）に埋設して設けられ、各半導体島領域にはそれぞれ前記高不純物濃

度半導体層をコレクタ領域とするバイポーラトランジスタ（Q1、Q2）が形成されている半導体装置において、前記絶縁性基板上または前記第1の絶縁膜（3）上には、複数の前記高不純物濃度半導体層（4；5）を相互に接続する導電体（8；8a）が形成されていることを特徴とする半導体装置が提供される。そして、好ましくは、前記導電体は高融点金属または高融点金属化合物により形成されるものである。

【0007】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1（a）は、図2の点線の部分についての本発明の第1の実施例を示す平面図であり、図1（b）はそのA-A'線での断面図である。図1に示すように、トランジスタQ1、Q2は、シリコン基板1上に設けられたシリコン酸化膜3の上に形成されており、これらのトランジスタの形成された半導体島領域はシリコン酸化膜9およびBPSG膜10からなる絶縁膜内に埋設されている。

【0008】トランジスタQ1のp+型コレクタ領域4とトランジスタQ2のn+型コレクタ領域5とは、シリコン酸化膜3上に形成されたタングステン膜8によって接続されており、タングステン膜8は、シリコン酸化膜9、BPSG膜10に形成されたコンタクトホールを埋め込んだタングステンプラグ16によって基板表面に引き出されている。基板表面はマスク酸化膜13によって覆われ、該マスク酸化膜上にはこの酸化膜に形成されたコンタクトホールを介して各領域に接続された電極が形成されている。すなわち、ベース電極17はn+型ベース領域11に、エミッタ電極18はp+型エミッタ領域14に、ベース電極19はp+型ベース領域12に、エミッタ電極20はn+型エミッタ領域15に、コレクタ電極21はタングステンプラグ16に接続されている。

【0009】このように構成された複数型バイポーラトランジスタ回路では、p+型コレクタ領域4およびn+型コレクタ領域5にコレクタ引き上げ領域を設ける必要がなくなるため、その分半導体装置の微細化が可能になり、素子面積を従来例の70%とすることができた。また、p+型コレクタ領域とn+型コレクタ領域とは素子の全長に渡ってタングステン膜と接続しており、かつタングステンプラグを介して取り出されているため、コレクタ抵抗を低減化することができる。そして、素子面積が縮小化されたことにより寄生容量を30%削減でき、動作高速化に資することができる。

【0010】次に、図3（a）～図3（d）を参照して本実施例の半導体装置の製造方法について説明する。まず、シリコン基板1を用意しその表面を平坦化する。これとは別にn+型シリコン基板2を用意し、熱酸化によりその表面に1、5μmの厚さのシリコン酸化膜3を形成する。次に、シリコン基板1上にn+型シリコン基板2をシリコン酸化膜3を下にして置き、1100°Cで2

時間加熱して両基板を張り合わせる。続いて、n+型シリコン基板2の表面を研磨してその厚さを1、5μm程度にする。次に、p型不純物およびn型不純物を選択的にイオン注入し高温で押し込んでp+型コレクタ領域4およびn+型コレクタ領域5を形成し、その上にn+型のエピタキシャル領域6を形成する〔図3（a）〕。

【0011】全面にCVD法により密化シリコンを堆積してマスク密化膜7を形成し、フォトリソグラフィ法およびドライエッチング法により、コンクタ領域4、5間の領域に溝を形成する。続いて、CVD法によりタングステンを堆積して溝内を完全に埋め込んだ後、膜厚が約0、5μmとなるまでエッチバックを行って、コレクタ接続電極となるタングステン膜8を形成する〔図3（b）〕。

【0012】マスク密化膜7を除去した後、フォトリソグラフィ法およびプラズマエッチング法によりp-n-pトランジスタおよびn-p-nトランジスタの形成予定箇所以外のエピタキシャル領域6およびn+型シリコン基板2をエッチング除去してシリコンの島領域を形成する〔図3（c）〕。続いて、CVD法によりシリコン密化膜9を300Åの膜厚に堆積し、さらに半導体島領域間の空間を埋めるようにBPSG膜10を成長させる。研磨によりBPSG膜の表面を除去してシリコン密化膜9の表面を露出させ、素子表面のシリコン密化膜9をエッチング除去する〔図3（d）〕。

【0013】次に、p+型コレクタ領域4上のエピタキシャル領域6にリンをイオン注入してn+型ベース領域11を形成し、n+型コレクタ領域5上のエピタキシャル領域6にボロンをイオン注入してp+型ベース領域12を形成する。その後、CVD法により、全面にマスク酸化膜13を成長させ、n+型ベース領域11およびp+型ベース領域12上にエミッタ開口を行い、ボロンおよびリンのイオン注入によりp+型エミッタ領域14およびn+型エミッタ領域15を形成する。続いて、フォトリソグラフィ法およびドライエッチング法によりタングステン膜8上にコンタクトホールを開孔し、このコンタクトホール内に選択的にタングステンを成長させてタングステンプラグ16を形成する。最後に、ベース領域11、12上にもコンタクトホールを開孔し、スパッタ法によりアルミニウム膜を被着し、これをバーナーニングしてp-n-pトランジスタQ1のベース電極17、エミッタ電極18、n-p-nトランジスタQ2のベース電極19、エミッタ電極20および両トランジスタに共通のコレクタ電極21を形成して、図1に示す本実施例の半導体装置を得る。

【0014】図4（a）は、図2の点線の部分についての本発明の第2の実施例を示す平面図であり、図2（b）はそのB-B'線での断面図である。図4に示すように、トランジスタQ1、Q2は、シリコン基板1上に設けられたシリコン酸化膜3の上に形成されており、

そしてこれらのトランジスタの形成された半導体島領域はシリコン酸化膜9およびBPSG膜10からなる絶縁膜内に埋設されている。

【0015】本実施例の図1に示す第1の実施例と相違する点は、コレクタ接続電極としてのタングステン膜8aが、pn-pトランジスタQ1のp⁺型コレクタ領域4およびn-p-nトランジスタQ2のn⁺型コレクタ領域の周囲を取り囲んでいる点である。図4に示した例では、コレクタの引き出しをn-p-nトランジスタQ2の右側において行っているが、この点に限らずタングステン膜8a上であれば任意の点にタングステンプラグ16をたてることができる。本実施例では、トランジスタQ1、Q2の周囲にコレクタ接続電極を配置したことにより、先の実施例の場合よりも素子面積が若干増加するが、コレクタ接続電極とコレクタとの接触面積が増加するため、先の実施例の場合よりもコレクタ抵抗を低減化することができる。

【0016】次に、図5(a)～図5(d)を参照して本実施例の半導体装置の製造方法について説明する。先の実施例の場合と同様に、シリコン基板1にシリコン酸化膜3を有するn⁺型シリコン基板2を張り合わせ、研磨、イオン注入、エピタキシャル成長を行って、図5(a)に示す基板を作製する。次に、図5(b)に示すように、pn-pトランジスタQ1およびn-p-nトランジスタQ2の形成予定領域以外のシリコンをエッチング除去してシリコンの島領域を形成する。

【0017】次に、オガタイプのフォトレジスト23を被付し、コレクタ接続電極形成箇所のレジスト22を除去し、続いて、スパッタ法によりタングステン膜8a、8bを形成する[図5(c)]。次に、フォトレジスト22をその上のタングステン膜8bとともに除去する。残されたタングステン膜8aがコレクタ接続電極となる。このリフトオフ法によるタングステン膜8aの形成工程において、フォトレジストに代え、ポリイミド等の耐熱性樹脂をマスク材料として用いることができる。その後、先の実施例の場合と同様に、CVD法によりシリコン酸化膜9を堆積し、さらに半導体島領域間の空間を埋めるようBPSG膜10を成長させる。研磨によりBPSG膜の表面を除去してシリコン酸化膜9の表面を露出させ、露出した素子表面のシリコン酸化膜9をエッチング除去する[図5(d)]。

【0018】その後、先の実施例の場合と同様にして、n⁺型ベース領域11、p⁺型ベース領域12、マスク酸化膜13、p⁺型エミッタ領域14、n⁺型エミッタ領域15、タングステンプラグ16、ベース電極17、19、エミッタ電極18、20、コレクタ電極21を形成すれば、図4に示す本実施例の半導体装置を得ることができる。

【0019】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、特許

請求の範囲に記載された本願発明の要旨内において各様の変更が可能である。例えば、実施例では、コレクタ接続電極の材料としてタングステンを用いていたが、これに代え他の高融点金属を使用することができ、また、TiNのような高融点金属化合物を用いることもできる。また、SOI基板に対してばかりでなく、本発明は絶縁性基板を用いた半導体装置にも同様に適用しうるものである。

【0020】

【発明の効果】以上説明したように、本発明の半導体装置は、絶縁膜上に他の絶縁膜内に埋設された複数の半導体島領域を設け、各島領域に最下層を高不純物濃度コレクタ領域とするトランジスタを形成し、複数の高不純物濃度コレクタ領域間を絶縁膜上に形成されたコレクタ接続電極によって接続したものであるので、本発明によれば、各半導体島領域にコレクタ引き上げ領域を設ける必要がなくなり、素子の微細化が実現できる。また、コレクタ領域間に素子全体に渡るコレクタ接続電極が形成されるので、コレクタ抵抗を低減化することができる。そして、素子の小型化により浮遊容量が削減されしるため、上記コレクタ抵抗低減化効果とあいまって半導体装置の動作高速化を実現することができる。

【剖面の簡単な説明】

【図1】 本発明の第1の実施例の平面図と断面図。

【図2】 本発明の実施例により形成しようとする回路の回路図。

【図3】 本発明の第1の実施例の製造方法を説明するための工程断面図。

【図4】 本発明の第2の実施例の平面図と断面図。

【図5】 本発明の第3の実施例の製造方法を説明するための工程断面図。

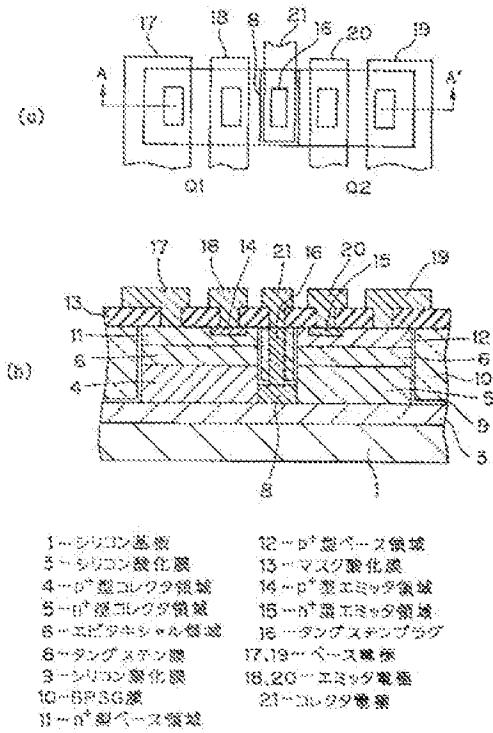
【図6】 従来例の平面図と断面図。

【符号の説明】

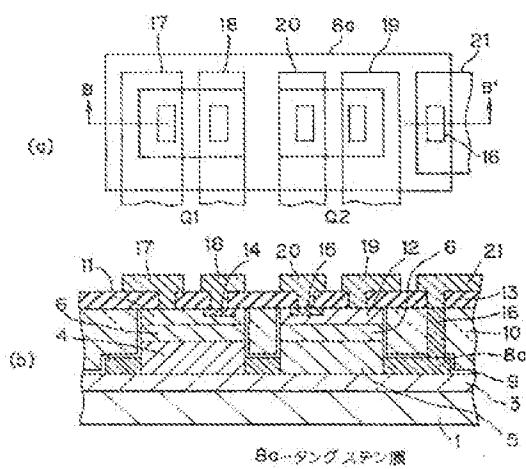
- 1 シリコン基板
- 2 n⁺型シリコン基板
- 3 シリコン酸化膜
- 4 p⁺型コレクタ領域
- 5 n⁺型コレクタ領域
- 6 エピタキシャル領域
- 7 マスク酸化膜
- 8、8a タングステン膜
- 9 シリコン酸化膜
- 10 BPSG膜
- 11 n⁺型ベース領域
- 12 p⁺型ベース領域
- 13 マスク酸化膜
- 14 p⁺型エミッタ領域
- 15 n⁺型エミッタ領域
- 16 タングステンプラグ

17、18 晚霞
18、19 夕霞

三

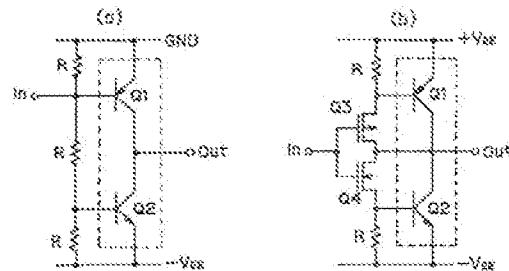


3000 613

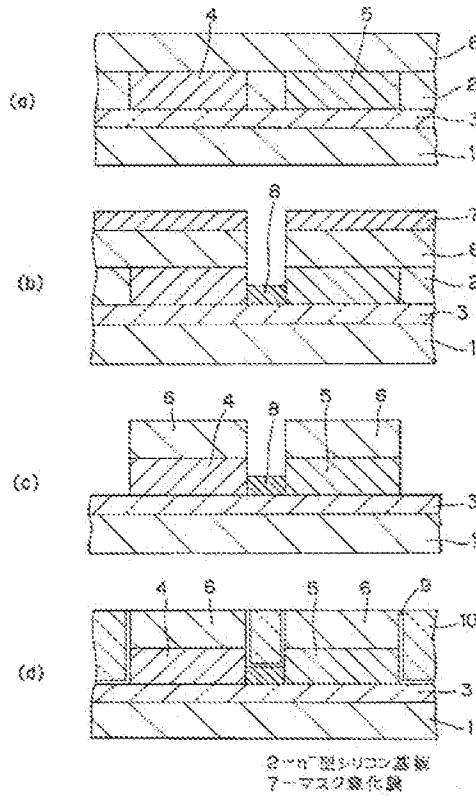


31 コレクタ電極
22 フォトレジスト

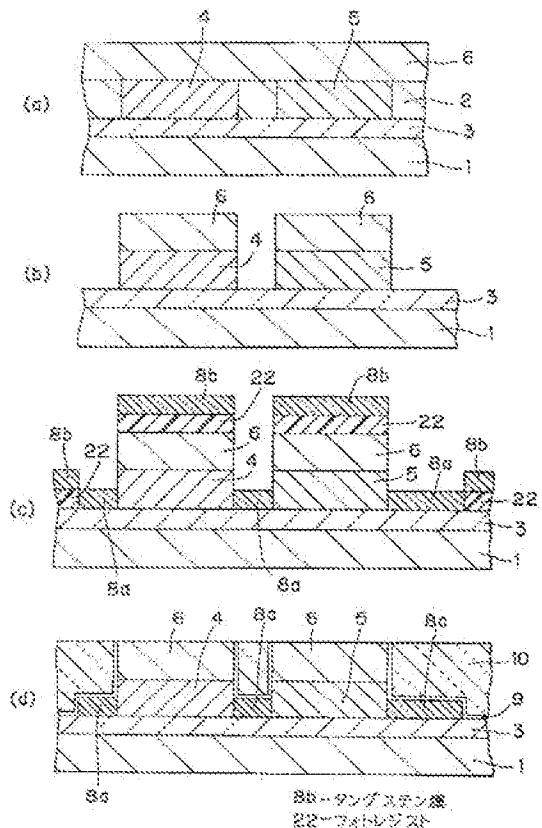
卷之三



三



[図5]



[図6]

